

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-303001

(43)Date of publication of application : 14.11.1995

(51)Int.Cl.

H01P 1/15
H03K 17/693

(21)Application number : 06-096057

(71)Applicant : HITACHI LTD

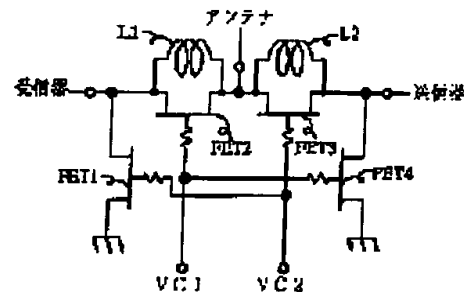
(22)Date of filing : 10.05.1994 (72)Inventor : TANAKA SATOSHI
OKAMOTO TATSUTO
KITAYAMA TARO

(54) HIGH FREQUENCY SWITCH

(57)Abstract:

PURPOSE: To provide a switch by which transit loss due to parasitic capacitance is prevented from increased and isolation characteristic from being deteriorated and with low transit loss and high isolation by connecting an inductor in parallel with a FET with wide gate width and compensating the parasitic capacitance.

CONSTITUTION: The transit loss due to the parasitic capacitance can be prevented from being increased by the parallel resonance of the parasitic capacitance of the FET3 and the inductor L2, and also, the isolation can be prevented from being deteriorated, and a noise from a transmission circuit side in reception can be blocked. In other words, since the parasitic capacitance when the FET2 is turned off causes the increment of the transit loss on a transmission side, the transit loss in a transmission mode can be prevented from being increased by connecting the inductor L1 in parallel with the FET2. In the reception, since the FET2 is turned on, the source of the FET can be connected to the drain with low impedance, which makes the inductor L1 give no influence on transit characteristic.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-303001

(43) 公開日 平成7年(1995)11月14日

(51) Int.Cl.⁶

識別記号

片内整理番号

F I

技術表示箇所

H 0 1 P 1/15

H 0 3 K 17/693

A 9473-5 J

審査請求 未請求 請求項の数10 O L (全 5 頁)

(21) 出願番号 特願平6-96057

(22) 出願日 平成6年(1994)5月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 田中 聡

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 岡本 遼人

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(72) 発明者 北山 太郎

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 高周波スイッチ

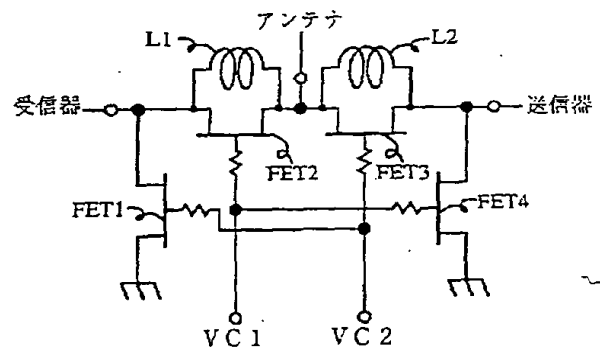
(57) 【要約】

【目的】 本発明は移動体通信器向けの送信受信切り換えスイッチに関するものであり、低通過損失で高アイソレーション特性の高周波スイッチ実現を目的とする。

【構成】 SPDTスイッチの信号を通すFETに並列にインダクタを接続する。

【効果】 本発明はFETで構成されるスイッチ回路の寄生容量をインダクタで打ち消すもので低通過損失、高アイソレーションのスイッチを実現するものである。またインダクタの数に制限を加えることで集積化時のチップ面積の削減を図っている。

図 1



【特許請求の範囲】

【請求項1】複数のFETで構成される複数の入出力端子をもつスイッチ回路において第1の入出力端子から他の入出力端子への経路となるFETトランジスタの少なくとも1つのFETに対して並列にインダクタ素子を接続したことを特徴とする高周波スイッチ。

【請求項2】複数のFETとインダクタで構成される特許請求の範囲第1項記載のスイッチ回路において、インダクタを半導体結晶上のスパイラルインダクタで構成し、スイッチを構成する全ての素子を同一結晶基板上に集積したことを特徴とする高周波スイッチ回路。

【請求項3】複数のFETとインダクタで構成される特許請求の範囲第1項記載のスイッチ回路において、すべてのFET素子に対してインダクタを並列にインダクタ素子を接続したことを特徴とする高周波スイッチ回路。

【請求項4】複数のFETとインダクタで構成される特許請求の範囲第1項記載のスイッチ回路において、少なくとも1つのFETと並列にインダクタと容量で構成される並列共振回路を接続したことを特徴とする高周波スイッチ回路。

【請求項5】第1のFETの第1の電極(ソースまたはドレイン)を接地し、同FETの第2の電極(ドレインまたはソース)を第1の入出力端子に接続し、第2のFETの第1の電極(ソースまたはドレイン)を第1の入出力端子に接続し、第2のFETの第2の電極(ドレインまたはソース)を第2の入出力端子に接続し、第2のFETのソースとドレインの間にインダクタを接続したことを特徴とする特許請求の範囲第1項記載の高周波スイッチ回路。

【請求項6】特許請求の範囲第5項記載のスイッチ回路を2つ用い、第1のスイッチ回路の第1の入出力端子を第1の入出力端子とし、第2のスイッチ回路の第1の入出力端子を第2の入出力端子とし、第1第2のスイッチ回路の第2の入出力端子を接続し、第3の入出力端子としたことを特徴とする特許請求の範囲第1項記載の高周波スイッチ回路。

【請求項7】特許請求の範囲第6項記載のスイッチ回路において第1の端子と第3の端子の間に特許請求の範囲第5項記載のスイッチ回路を1個以上カスケード接続し、第2の端子と第3の端子の間に特許請求の範囲第5項記載のスイッチ回路を1個以上カスケード接続したことを特徴とする特許請求の範囲第1項記載の高周波スイッチ回路。

【請求項8】特許請求の範囲第6項記載のスイッチ回路において第1の端子と第3の端子の間に特許請求の範囲第5項記載のスイッチ回路を1個以上カスケード接続し、第2の端子と第3の端子の間に特許請求の範囲第5項記載のスイッチ回路を1個以上カスケード接続し、第3の端子に直接接続される2つの特許請求の範囲第5項記載のスイッチ回路以外の回路に含まれるインダクタを

取り除いたことを特徴とする特許請求の範囲第1項記載の高周波スイッチ回路。

【請求項9】第1のFETの第1の電極(ソースまたはドレイン)を接地し、同FETの第2の電極(ドレインまたはソース)を第1の入出力端子に接続し、第2のFETの第1の電極(ソースまたはドレイン)を第1の入出力端子に接続し、第2のFETの第2の電極(ドレインまたはソース)を第2の入出力端子に接続し、第2のFETのソースとドレインの間にインダクタを接続し、第1のFETのソースとドレインの間に並列共振回路を接続したことを特徴とする特許請求の範囲第1項記載の高周波スイッチ回路。

【請求項10】特許請求の範囲第6項記載のスイッチ回路において第1のスイッチ回路のインダクタを取り除いたことを特徴とする特許請求の範囲第1項記載の高周波スイッチ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は移動体通信器向けの送信受信切り換えスイッチに関するものであり、低通過損失で高アイソレーション特性を持つ高周波スイッチを実現するものである。

【0002】

【従来の技術】移動体通信向けの送信受信切り換えスイッチとしてSPDT(Single-Pole Double-Throw)スイッチを用いる事例が多く発表されている。例として、吉川等による”小型樹脂パッケージ高周波FETスイッチ”、1993年電子情報通信学会春季大会、講演番号C-90がある。図2にこの従来のSPDTスイッチを示す。DFETで構成した場合はVC1を0V、VC2を $-V_{con}$ Vとした場合に受信状態、VC1を $-V_{con}$ V、VC2を0Vとした場合に送信状態になる。今、受信状態の通過特性を考える。受信、送信の信号が通過するFET2、3は通過損失を小さくするため、FET1、4に比べてゲート幅を広くする場合が多い。このとき、受信状態においては送信側のFET3の寄生容量の影響で通過損失が増加する。また、送信側からの信号漏れが上記寄生容量を介して伝わり、アイソレーション特性が劣化する。送信状態においてはFET2の寄生容量の影響で通過損失が増大する。

【0003】

【発明が解決しようとする課題】本発明ではこの寄生容量による通過損失の増加とアイソレーション特性の劣化を防ぎ、低通過損失、高アイソレーションのスイッチを実現することを課題とする。

【0004】

【課題を解決するための手段】上記課題はゲート幅の広いFETと並列にインダクタを接続し、寄生容量を打ち消すことにより実現される。

【0005】

【作用】図3に受信モードにおける本発明を適用したSPDTスイッチの等価回路を示す。このモード状ではFET1はOFF、FET2はON、FET3はOFF、FET4はONの状態にある。

【0006】FETのON、OFF両状態の簡易な等価回路は夫々抵抗と容量で表せる。FET3の寄生容量C3とインダクタL2が並列共振することで寄生容量C3による通過損失の増加を防止すると共にアイソレーションの劣化を防止し、受信時における送信回路側からの雑音を遮断することが出来る。送信モードにおいてはFET2のOFF時における寄生容量が送信側の通過損失の増加をもたらすので、インダクタL1をFET2と並列に接続し、送信モードにおける通過損失の増加を防止する。受信時においては、FET2がオン状態にあるのでソース、ドレイン間は極めて低いインピーダンスR1で接続され、インダクタL1は通過特性に影響を与えない。

【0007】FET1の寄生容量C1も受信時の通過損失の増加を招くが、FET1の最適ゲート幅はFET3のゲート幅に比べて狭い場合が多い。小さな容量と並列共振をとるためには大きなインダクタが必要となり、FET1に並列共振用のインダクタを接続することは集積化した場合のチップ面積の増大を招く。ここでは積極的にFET1用のインダクタを省略している。

【0008】

【実施例】図1を用いて本発明の第1の実施例を示す。送信受信対称型のSPDTスイッチの信号が通過する2つのFETに並列にインダクタを接続することで寄生容量による通過損失の増加を防止すると共にアイソレーションの劣化を防止することが出来る。接地用のFET1、4の寄生容量もそれぞれ受信時、送信時の通過損失の増加を招くが、FET1、4の最適ゲート幅はFET2、3のゲート幅に比べて狭い場合が多い。小さな容量と並列共振をとるためには大きなインダクタが必要となり、FET1、4に並列共振用のインダクタを接続することは集積化した場合のチップ面積の増大を招く。ここでは積極的にFET1、4用のインダクタを省略している。

【0009】図4を用いて本発明の第2の実施例を示す。多段型のSPDTスイッチに本発明を適用した例である。アンテナ端子に接続されたFETのみにインダクタを並列接続させることで使用しないパスの接続による通過損失の増大を防止できる。本実施例では特に通過損失の増加要因に着目し必要最小限のインダクタで効果を上げている。ここでは対称型のSPDTスイッチを例に挙げているが段数の異なる非対称型のスイッチに適用することも可能である。

【0010】図5を用いて本発明の第3の実施例を示す。全てのFETにインダクタを並列接続したことにより第1の実施例では対策していなかったFET1、4の

寄生容量の効果を抑圧し、第1の実施例よりも通過損失の少ないスイッチを実現したものである。

【0011】図6を用いて本発明の第4の実施例を示す。図5に示す第3の実施例では低通過損失を実現できるものの、より多くの且つより大きなインダクタを必要とする。第1の実施例でも述べたように接地用のFET1、4は、FET2、3に比べてゲート幅が小さい場合が多い。このためFET1、4の寄生容量と共振させるインダクタの大きさは、FET2、3に用いるインダクタに比べて大きくなり、MMIC上で本実施例を実現した場合、チップ面積の大幅な増大を生む。本実施例では接地用のFETに並列に容量を接続することで共振に必要なインダクタの値を小さくしている。ここでは対称型の1段SPDTスイッチを例に説明を行っているが、非対称型、多段型のスイッチについても適用可能である。

【0012】図7を用いて本発明の第5の実施例を示す。多段型のSPDTスイッチの信号の通る全てのFETに並列にインダクタを付けたものである。信号の通る全てのFETの寄生容量をインダクタで打ち消しているので本実施例ではオフ時のアイソレーション特性を高くすることが出来る。

【0013】図8を用いて本発明の第6の実施例を示す。アイソレーション特性は受信モード動作時における送信側からの信号について特に強く要求されるので、SPDTスイッチを構成する4つのFETの内、送信信号を通過させるFET3にのみインダクタを並列接続し、アイソレーション特性を強化している。インダクタの数を1つにすることでMMIC化したときのチップ面積を削減できる。

【0014】

【発明の効果】本発明はFETで構成されるスイッチ回路の寄生容量をインダクタで打ち消すもので低通過損失、高アイソレーションのスイッチを実現するものである。またインダクタの数に制限を加えることで集積化時のチップ面積の削減を図っている。

【図面の簡単な説明】

【図1】本発明の第1の実施例。

【図2】従来のSPDTスイッチ。

【図3】本発明の作用を示す等価回路。

【図4】本発明の第2の実施例。

【図5】本発明の第3の実施例。

【図6】本発明の第4の実施例。

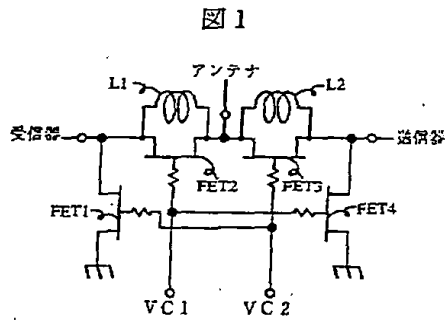
【図7】本発明の第5の実施例。

【図8】本発明の第6の実施例。

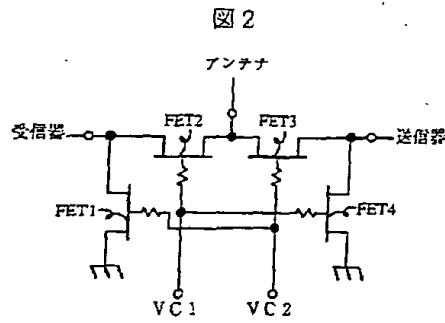
【符号の説明】

FET1、2、3、4、1n、2n、3m、4m…電界効果トランジスタ、VC1、VC2…コントロールバイアス端子、L1、L2…インダクタ、R1…FET1のON抵抗、C3…FET3のOFF時寄生容量。

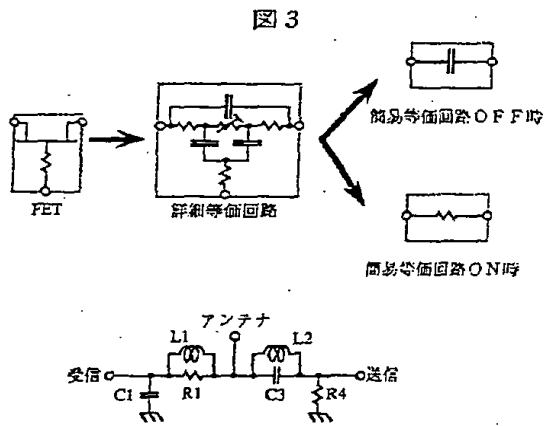
【図1】



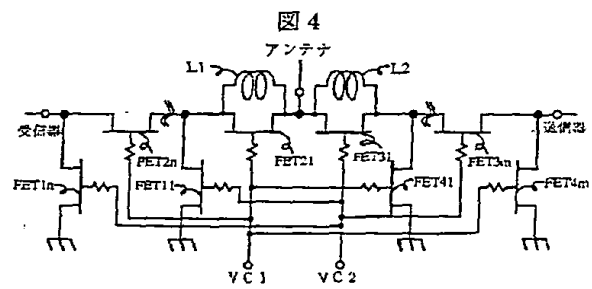
【図2】



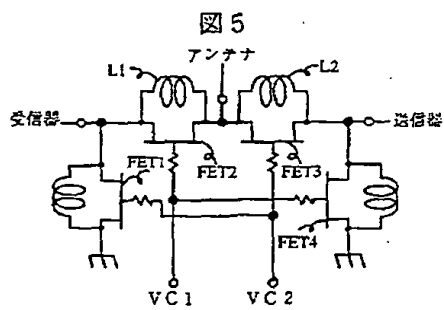
【図3】



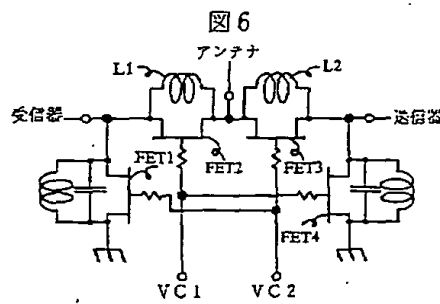
【図4】



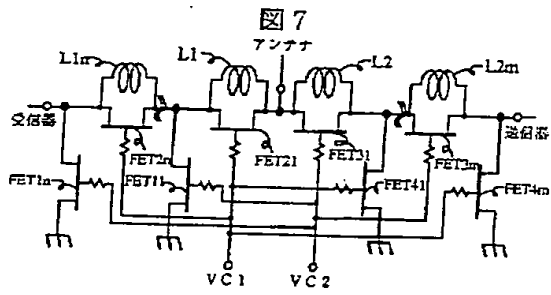
【図5】



【図6】



【図7】



【図8】

